



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001210650 A**(43) Date of publication of application: **03.08.01**

(51) Int. Cl.

H01L 21/324
C30B 29/06
H01L 21/265

(21) Application number: **2000373456**(22) Date of filing: **07.12.00**(30) Priority: **05.01.00 KR 2000 200000283**(71) Applicant: **HYUNDAI ELECTRONICS IND CO LTD**

(72) Inventor: **WON-JU CHO**
HYUN-SUKU SHIMU
YOUN-KUKU CHA

(54) **METHOD FOR MANUFACTURING EPITAXIAL SILICON WAFER**

(57) Abstract:

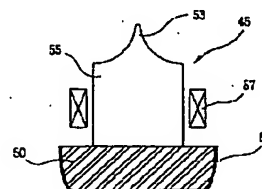
PROBLEM TO BE SOLVED: To provide the manufacturing method of an epitaxial silicon wafer for improving the uniformity in crystal structure, without making OSF rings to form on a single-crystal silicon wafer substrate, removing a metal contaminant in a silicon epitaxial layer, reducing the manufacturing time of the epitaxial silicon wafer, and hence reducing production unit costs.

SOLUTION: A stage for growing a single-crystal silicon ingot 55 by adjusting the suction speed of a seed crystal 53 and the cooling speed of the single-crystal silicon ingot 55, a stage for manufacturing a single-crystal silicon wafer substrate 100 by performing slicing, lapping, and polishing treatment of the single-crystal silicon ingot 55, a stage for performing hydrogen heat treatment by cleaning the single-crystal silicon wafer substrate 100, and a stage for forming a silicon epitaxial layer 200 on the upper surface of the single-crystal silicon wafer substrate 100 that has been subjected to hydrogen heat treatment, are included in

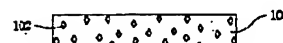
the manufacturing process.

COPYRIGHT: (C)2001,JPO

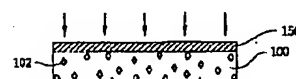
(A)



(B)



(C)



(D)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-210650

(P2001-210650A)

(43) 公開日 平成13年8月3日(2001.8.3)

(51) Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
H 0 1 L 21/324		H 0 1 L 21/324	X
C 3 0 B 29/06		C 3 0 B 29/06	A
			B
	5 0 2		5 0 2 J
	5 0 4		5 0 4 F

審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2000-373456(P2000-373456)

(22) 出願日 平成12年12月7日(2000.12.7)

(31) 優先権主張番号 283/2000

(32) 優先日 平成12年1月5日(2000.1.5)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 592211998

ヒュンダイ エレクトロニクス インダス
トリーズ カンパニー リミテッド
大韓民国、キョンキド、イチョンクン、プ
バルウプ、アミリ、サン 136-1

(72) 発明者 ウォン-ジュ チョ

大韓民国、チューンチェオンブクード、チ
ェオンジュ、サンダンーク、ヨンガムード
ン (番地無し)

(74) 代理人 100078330

弁理士 笹島 富二雄 (外1名)

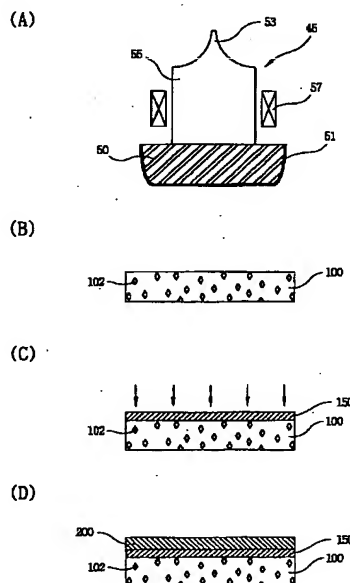
最終頁に続く

(54) 【発明の名称】 エピタキシャルシリコンウェーハの製造方法

(57) 【要約】

【課題】単結晶シリコンウェーハ基板にOSFリングを形成させないで結晶構造の均一性を向上させ、シリコンエピタキシャル層内の金属汚染物を除去でき、エピタキシャルシリコンウェーハの製造時間を短縮し、生産単価を低減し得るエピタキシャルシリコンウェーハ製造方法を提供する。

【解決手段】種結晶53の引き上げ速度及び単結晶シリコン铸塊55の冷却速度を調節して、単結晶シリコン铸塊55を成長させる段階と、単結晶シリコン铸塊55をスライシング、ラッピング及び研磨処理を施して単結晶シリコンウェーハ基板100を製造する段階と、単結晶シリコンウェーハ基板100を洗浄し、水素熱処理を施す段階と、水素熱処理された単結晶シリコンウェーハ基板100の上面にシリコンエピタキシャル層200を形成する段階と、を包含して行う。



【特許請求の範囲】

【請求項1】種結晶の引き上げ速度及び単結晶シリコン
 鋳塊の冷却速度を調節して、単結晶シリコン鋳塊を成長
 させる段階と、

前記単結晶シリコン鋳塊に対してスライシング、ラッピ
 ング及び研磨処理を施して、単結晶シリコンウェーハ基
 板を製造する段階と、

前記単結晶シリコンウェーハ基板を洗浄し、水素熱処理
 を施す段階と、

前記水素熱処理された単結晶シリコンウェーハ基板の上
 面にシリコンエピタキシャル層を形成する段階と、

を包含して行うことを特徴とするエピタキシャルシリ
 コンウェーハの製造方法。

【請求項2】前記水素熱処理を施す段階の後に、前記水
 素熱処理された単結晶シリコンウェーハ基板の上面に不
 純物埋没層を形成する段階を行うことを特徴とする請求
 項1に記載のエピタキシャルシリコンウェーハの製造方
 法。

【請求項3】前記不純物埋没層は、窒素を注入又は拡散
 して形成することを特徴とする請求項2に記載のエピタ
 キシャルシリコンウェーハの製造方法。

【請求項4】前記注入又は拡散する窒素の濃度は、 $1 \times 10^{10} \sim 1 \times 10^{16} / \text{cm}^2$ であることを特徴とする請求
 項3に記載のエピタキシャルシリコンウェーハの製造方
 法。

【請求項5】前記引き上げ速度（V）は 0.4 mm/分 以
 上であり、引き上げ速度（V）と前記単結晶シリコン鋳
 塊の温度勾配（G）との比率（V/G）が $0.2 \text{ mm}^2 /$
 $^{\circ}\text{C} \cdot \text{分}$ 以上であることを特徴とする請求項1～請求項4
 のいずれか1つに記載のエピタキシャルシリコンウェー
 ハの製造方法。

【請求項6】前記単結晶シリコン鋳塊のドーピング濃度
 は、 $1 \times 10^{10} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲を有すること
 を特徴とする請求項1～請求項5のいずれか1つに記載
 のエピタキシャルシリコンウェーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子製造用
 のシリコンウェーハの製造方法に係るもので、詳しく
 は、シリコンエピタキシャル層内の汚染物除去能力を向
 上して、高性能の半導体素子の製造に適したエピタキ
 シャルシリコンウェーハの製造方法に関するものである。

【0002】

【従来の技術】一般に、半導体基板用ウェーハの材料と
 して使用される単結晶シリコンは、主にチョクラルスキ
 ー（Czochralski）法（以下、「CZ法」と称す）によ
 り製造される。このようなCZ法を利用して、石英坩堝
 内部の溶融されたシリコン内に種結晶を浸漬した後、石
 英坩堝及び種結晶を回転させながら、単結晶シリコン鋳
 塊を成長させた後、スライシング、ラッピング及び研磨

処理を施して、単結晶シリコンウェーハ基板を製造す
 る。

【0003】しかし、図5に示したように、従来のCZ
 法により製造された単結晶シリコンウェーハ基板1に
 は、酸化誘起積層欠陥リング（oxidation induced stac
 king faults ring；以下、「OSFリング」と称す）2
 のような代表的な表面欠陥が生じていた。このOSFリ
 ング2は、単結晶シリコンウェーハ基板1の熱処理工程
 時に発生し、種結晶の成長に伴い、漸次、単結晶シリ
 コンウェーハ基板1の外側に移動し、所定値以上の引き上
 げ速度で成長した単結晶シリコンウェーハ基板1では、
 OSFリング2が発生しない。

【0004】また、単結晶シリコンウェーハ基板1に
 は、OSFリング2以外に、侵入型原子、原子空孔、空
 洞及び析出物などの表面欠陥が生じ、特に、OSFリン
 グ2の内側は、原子空孔が多く存在する領域になり、外
 側は、侵入型シリコン原子が多く存在する領域になる。
 さらに、半導体素子の高集積化に伴い、単結晶シリコ
 ンウェーハ基板1に生じる表面欠陥が半導体素子の信頼性
 に及ぼす影響が増大するため、半導体素子の信頼性を向
 上するには、単結晶シリコンウェーハ基板1の表面層の
 表面欠陥の発生を抑制する必要がある。このため、CZ
 法により製造された単結晶シリコンウェーハ基板1の表
 面にシリコンエピタキシャル層を形成する方法が使用さ
 れていた。このようにすると、表面欠陥が半導体素子の
 信頼性に及ぼす影響を低減することができる。

【0005】図6（A）は、従来のエピタキシャルシリ
 コンウェーハ5を示した断面図であり、図6（B）は、
 従来のエピタキシャルシリコンウェーハ5の基板として
 使用される単結晶シリコンウェーハ基板1を示した平面
 図である。図示されたように、エピタキシャルシリコ
 ンウェーハ5は、OSFリング2が形成された単結晶シリ
 コンウェーハ基板1の上面にシリコンエピタキシャル層
 10が形成されて成る。OSFリング2の内側の領域
 は、多数の原子空孔が存在する領域3であり、外側の領
 域は、多数の侵入型シリコン原子が存在する領域4であ
 り、前記多数の原子空孔が存在する領域3には、多数の
 空洞14が存在する。

【0006】

【発明が解決しようとする課題】然るに、このような従
 来のエピタキシャルシリコンウェーハ5においては、単
 結晶シリコンウェーハ基板1の成長条件及び結晶特性を
 考慮せずに、研磨処理された単結晶シリコンウェーハ基
 板1の上面にシリコンエピタキシャル層10を蒸着して
 形成したので、次のような問題点があった。

【0007】第1に、単結晶シリコンウェーハ基板1を
 後続工程で熱処理したとき、OSFリング2が形成さ
 れ、かつ、前記単結晶シリコンウェーハ基板1内の格子
 欠陥の状態が変化するため、OSFリング2を境界とし
 て単結晶シリコンウェーハ基板1での金属汚染物の除去

効果が低下し、OSFリング2の領域及びその外側の領域上に製造される素子の特性が劣化するという問題点があった。

【0008】第2に、従来のシリコンエピタキシャル層10は、表面欠陥を除去するために形成されたものであって、単結晶シリコンウェーハ基板1は、ただ、シリコンエピタキシャル層10の形成用基板材料として使用されるだけで、実際に、シリコンエピタキシャル層10の形成過程で外部から発生するシリコンエピタキシャル層10内の金属汚染物を除去することはできない。このとき、金属汚染物は、シリコンエピタキシャル層10の形成時に使用される装置に起因するものであって、主に、原料気体が供給される気体配管により発生する。このような金属汚染物は、シリコンエピタキシャル層10上に半導体素子を製造するとき、半導体素子に致命的な不良を招くため、半導体素子の生産収率が低減するという問題点があった。

【0009】第3に、単結晶シリコンウェーハ基板1は引き上げ速度の遅いCZ法により製造しているため、単結晶シリコンウェーハ基板1の製造に時間がかかり、エピタキシャルシリコンウェーハ5の生産単価が増大するという問題点があった。第4に、単結晶シリコンウェーハ基板1のドーピング濃度が高いので、単結晶シリコン铸塊に要する費用が高く、生産収率が低い、エピタキシャルシリコンウェーハ5の原価が高いという問題点があった。

【0010】そこで、本発明は、このような従来の問題点に鑑みてなされたもので、単結晶シリコンウェーハ基板にOSFリングを形成させないで結晶構造の均一性を向上させ、シリコンエピタキシャル層内の金属汚染物を除去でき、エピタキシャルシリコンウェーハの製造時間を短縮し、生産単価を低減し得るエピタキシャルシリコンウェーハの製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】このような目的を達成するため、本発明に係るエピタキシャルシリコンウェーハの製造方法は、種結晶の引き上げ速度及び単結晶シリコン铸塊の冷却速度を調節して、単結晶シリコン铸塊を成長させる段階と、前記単結晶シリコン铸塊に対してスライシング、ラッピング及び研磨処理を施して、単結晶シリコンウェーハ基板を製造する段階と、前記単結晶シリコンウェーハ基板を洗浄し、水素熱処理を施す段階と、前記水素熱処理された単結晶シリコンウェーハ基板の上面にシリコンエピタキシャル層を形成する段階と、を包含して行うものである。

【0012】また、前記水素熱処理を施す段階の後に、前記水素熱処理された単結晶シリコンウェーハ基板の上面に不純物埋没層を形成する段階を行うこととする。ここで、前記不純物埋没層は、窒素を注入又は拡散して形成することとする。そして、前記注入又は拡散する窒素

の濃度は、 $1 \times 10^{10} \sim 1 \times 10^{16} / \text{cm}^2$ とする。

【0013】また、前記引き上げ速度(V)は0.4mm/分以上であり、引き上げ速度(V)と前記単結晶シリコン铸塊の温度勾配(G)との比率(V/G)が0.2mm²/℃・分以上とする。また、前記単結晶シリコン铸塊のドーピング濃度は、 $1 \times 10^{10} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲を有する。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。図1は、本実施形態に係るエピタキシャルシリコンウェーハの製造方法の工程を順次示したものである。先ず、図1(A)は、CZ法を利用して単結晶シリコン铸塊を成長させる工程を示したものである。

【0015】即ち、図示されたように、結晶成長炉45の石英坩堝51内の溶融されたシリコン50に種結晶53を浸漬し、石英坩堝51及び種結晶53を回転させながら該種結晶53を引き上げて、単結晶シリコン铸塊55を成長させる。このとき、引き上げ速度を調節して、単結晶シリコンウェーハ基板にOSFリングが形成されることを抑制する。

【0016】また、単結晶シリコン铸塊55内に形成された原子空孔がクラスタリングされることを防止するため、前記結晶成長炉45には、強制冷却部57を利用した強制冷却方式のホットゾーンを備え、単結晶シリコン铸塊55の冷却速度を速くする。具体的には、本実施形態では、0.4mm/分以上の引き上げ速度で種結晶53を引き上げる。このとき、種結晶53の引き上げ速度(V)と、単結晶シリコン铸塊55の温度勾配(G)との比率(V/G)が、0.2mm²/℃・分以上の値を有するようにする。

【0017】また、石英坩堝51内の溶融されたシリコン50に、p型又はn型にドーピング可能な不純物を、溶融された状態で添加した後、単結晶シリコン铸塊55を成長させて、該単結晶シリコン铸塊55をp型又はn型にドーピングする。本実施形態において、単結晶シリコン铸塊55のドーピング濃度は、 $1 \times 10^{10} \sim 1 \times 10^{18} / \text{cm}^3$ の範囲を有するものとする。

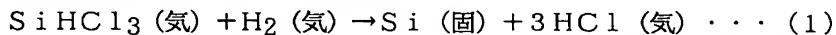
【0018】図1(B)は、単結晶シリコンウェーハ基板の断面図であり、前記単結晶シリコン铸塊55にスライシング、ラッピング及び研磨処理を施して、図示されたように、単結晶シリコンウェーハ基板100を製造する。この場合、図2に示したように、前記製造された単結晶シリコンウェーハ基板100内にはOSFリングが存在せず、その結果、単結晶シリコンウェーハ基板100全体に亘って原子空孔が多数存在する領域が形成され、図1(B)に示したように、単結晶シリコンウェーハ基板100内の全ての領域に亘って複数の空洞102が存在する。

【0019】次に、単結晶シリコンウェーハ基板100

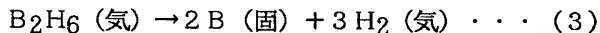
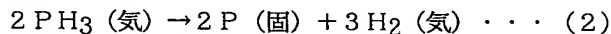
をフッ酸 (HF) を包含する気体を利用する気相洗浄又は S・C 1 (Standard Chemical 1) を利用する液相洗浄の何れかの方法を利用して洗浄した後、水素熱処理を施して、表面に存在する自然酸化膜及び COP (Crystal Originated induced particle) 欠陥を除去する。次に、図 1 (C) に示したように、単結晶シリコンウェーハ基板 100 の上面に不純物を拡散又は注入させて、不純物埋没層 150 を形成する。本実施形態では、20 KeV ~ 3.3 MeV の注入エネルギーで窒素 (N) を注入して、 $1 \times 10^{10} \sim 1 \times 10^{16} / \text{cm}^2$ の窒素濃度を有する不純物埋没層 150 を形成する。

【0020】このように、単結晶シリコンウェーハ基板 100 に注入された窒素は、該単結晶シリコンウェーハ基板 100 内で酸素析出物として析出される酸素量を増加させる。また、窒素などの不純物を単結晶シリコンウェーハ基板 100 に拡散又は注入すると共に、 PH_3 又は B_2H_6 などの気体を利用して不純物埋没層 150 をドーピングにより形成することもできる。

【0021】本実施形態では、エピタキシャル炉を利用して、不純物を $1 \times 10^{19} \sim 1 \times 10^{22} / \text{cm}^2$ の濃度にドーピングする。図 3 は、256M DRAM 熱工程を施した後、窒素を注入した単結晶シリコンウェーハ基板*



このようなシリコンエピタキシャル層 200 のドーピングは、n 型の場合は PH_3 、p 型の場合は B_2H_6 を利用し、次の (2)、(3) 式に示す反応式により施される。



更に、本発明により、シリコンエピタキシャル層 200 内の金属汚染物などの汚染物が除去される原理を説明すると次のようである。

【0025】金属汚染物などの殆どの汚染物は、汚染物間で相互に引力が作用するため、質量の少ない汚染物が質量の大きい汚染物側に移動して、相互作用が生じる。このとき、酸素析出物などを形成する反応、又は、お互いに集結する反応を生じさせることができる。図 4

(A) は、図 1 (B) に示す単結晶シリコンウェーハ基板 100 の上面に不純物埋没層 150 を形成せず、シリコンエピタキシャル層 200 を形成した場合のエピタキシャルシリコンウェーハの断面を示した光学顕微鏡写真による図であり、図 4 (B) は、図 1 (B) に示す単結晶シリコンウェーハ基板 100 の上面に不純物埋没層 150 を形成した後、シリコンエピタキシャル層 200 を形成した場合のエピタキシャルシリコンウェーハの断面を示した光学顕微鏡写真による図である。

【0026】図 4 (A) と図 4 (B) を比較すると、図 4 (B) に示したように、不純物埋没層 150 の形成されたエピタキシャルシリコンウェーハの場合、シリコンエピタキシャル層 200 の下方に位置する不純物埋没層

* 内の酸素析出量、及び、窒素を注入しなかった単結晶シリコンウェーハ基板内の酸素析出量の変化を示したグラフである。図示されたように、黒丸で示す窒素を注入しなかった単結晶シリコンウェーハ基板に比べて、黒四角で示す窒素を注入した単結晶シリコンウェーハ基板の方が全体に高い酸素析出量が検出されることが分かる。

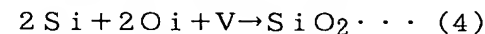
【0022】最後に、図 1 (D) に示したように、不純物埋没層 150 の上面にシリコンエピタキシャル層 200 を形成する。本実施形態では、 SiHCl_3 又は SiH_2Cl_2 を原料ガスとして使用し、 N_2 、 H_2 、 HCl などをキャリアガスとして使用して、約 $1.33 \times 10^{-2} \sim 1.33 \times 10^{-3} \text{ Pa}$ の圧力及び約 $900 \sim 1200^\circ\text{C}$ の温度下で、シリコンエピタキシャル層 200 を $1 \sim 50 \mu\text{m}$ の厚さに形成する。

【0023】この場合、エピタキシャル炉を利用したり、化学気相蒸着 (CVD) 法や物理気相蒸着 (PVD) 法などの多様な蒸着方法を利用して、シリコンエピタキシャル層 200 を形成することができる。シリコンエピタキシャル層 200 の代表的な生成反応式を表すと、次の (1) 式のようにになる。

【0024】

150 に多数の酸素析出物が形成されたことが分かる。このように、酸素析出物がシリコンエピタキシャル層 200 内に存在すると、シリコンエピタキシャル層 200 内の金属汚染物などの汚染物が引き込まれて、汚染物が除去されるようになる。

【0027】このときの酸素析出物の生成反応式を表すと、次の (4) 式のようにになる。



上記 (4) 式中、Si はシリコン原子、 O_i は侵入型酸素原子、V は原子空孔である。上記 (4) 式に示されたように、酸素析出物の生成のためには、原子空孔が必要となる。これは、酸素析出物の生成過程で、体積の膨張を招き、このような体積膨張に伴う蓄積エネルギーを緩和させるためである。

【0028】このように、単結晶シリコンウェーハ基板 100 に、侵入型シリコン原子が多い領域が形成された場合より、原子空孔の多い領域が形成された場合に、酸素析出物がより良く形成される。不純物埋没層を形成しなかった場合にも、単結晶シリコンウェーハ基板 100 の原子空孔 102 の多い領域から酸素析出物が形成されて、シリコンエピタキシャル層 200 内の金属汚染物を除去することはできるが、不純物埋没層 150 を形成した場合よりは、効率が低下する。

【0029】

【発明の効果】以上説明したように、本発明に係るエピタキシャルシリコンウェーハの製造方法においては、従来よりも速い引き上げ速度で種結晶を引き上げて単結晶

シリコン铸塊を成長させ、かつ、従来よりも速い冷却速度で単結晶シリコン铸塊を冷却することで、単結晶シリコンウェーハ基板にOSFリングを形成させずに、単結晶シリコンウェーハ基板全体に原子空孔の多い領域を形成できるため、単結晶シリコンウェーハ基板の結晶構造の均一性を向上し、シリコンエピタキシャル層内の不純物除去能力を向上し得る。また、不純物埋没層を形成することで、酸素析出物が従来よりも多く形成されるため、シリコンエピタキシャル層内の金属汚染物をより良く除去することができる。これらにより、エピタキシャルシリコンウェーハ上に製造される素子の信頼性を向上させて、生産収率の向上を図り得るという効果がある。

【0030】また、単結晶シリコン铸塊の引き上げ速度を速めることで、エピタキシャルシリコンウェーハの製造時間を短縮することができるため、エピタキシャルシリコンウェーハの生産単価を低減し、生産収率を向上し得るという効果がある。また、単結晶シリコン铸塊のドーピング濃度を低くして、単結晶シリコン铸塊成長に要する生産単価を低減し、生産収率を向上し得るという効果がある。

【図面の簡単な説明】

【図1】本発明に係るエピタキシャルシリコンウェーハの製造方法の一実施形態を示した工程図である。

【図2】本発明に係るエピタキシャルシリコンウェーハの製造方法により製造される単結晶シリコンウェーハ基

板の平面図である。

【図3】不純物埋没層の形成された単結晶シリコンウェーハ基板内の酸素析出量及び不純物埋没層の形成されていない単結晶シリコンウェーハ基板内の酸素析出量とウェーハ中央部からの距離との関係を示したグラフである。

【図4】本発明に係るエピタキシャルシリコンウェーハの製造方法により製造されるエピタキシャルシリコンウェーハの断面図である。

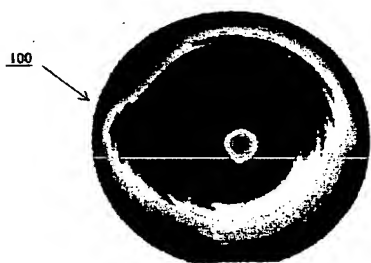
【図5】従来の単結晶シリコンウェーハ基板の平面図である。

【図6】従来のエピタキシャルシリコンウェーハを示す図であり、(A)は、中央縦断面図、(B)は、シリコンウェーハ基板の平面図である。

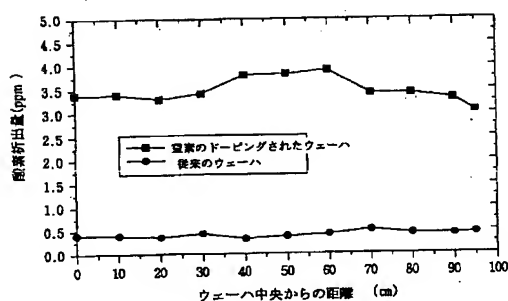
【符号の説明】

- 45：結晶成長炉
- 50：溶融されたシリコン
- 51：石英坩堝
- 53：種結晶
- 55：単結晶シリコン铸塊
- 57：強制冷却部
- 100：単結晶シリコンウェーハ基板
- 102：空洞
- 150：不純物埋没層
- 200：シリコンエピタキシャル層

【図2】



【図3】

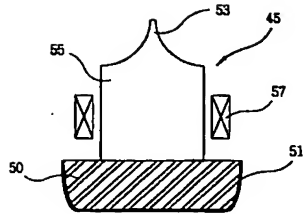


(6)

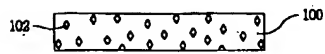
特開 2001-210650

【図 1】

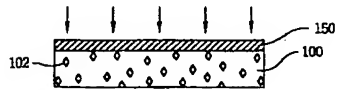
(A)



(B)



(C)



(D)



【図 5】



【図 4】

(A)

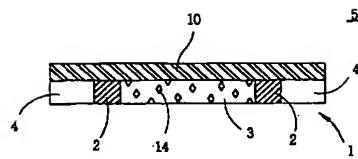


(B)

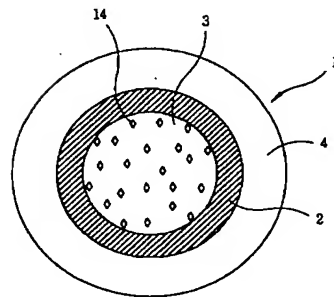


【図 6】

(A)



(B)



フロントページの続き

(51)Int.Cl.⁷

識別記号

H01L 21/265

FI

H01L 21/265

テモート(参考)

W

(72)発明者 ヒュンースク シム
大韓民国、チューンチェオンブクド、チ
ェオンジュ、フンダクーク、サチャンード
ン、ワピユン 1ーロ (番地無し)

(72)発明者 ヨウンークク チャ
大韓民国、チューンチェオンブクド、チ
ェオンジュ、サンダンーク、タブードン、
225ー2 7／6